

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-194933

(43)Date of publication of application : 29.08.1986

(51)Int.Cl.

H04L 1/00

H04L 1/02

H04L 1/08

(21)Application number : 60-034227 (71)Applicant : NEC CORP

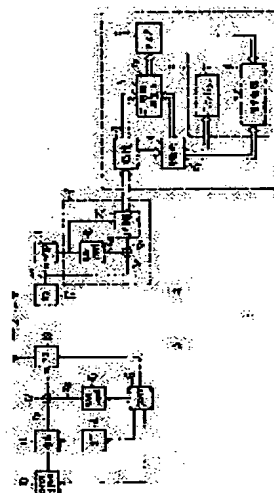
(22)Date of filing : 22.02.1985 (72)Inventor : KAGE GOZO

(54) RECEPTION SIGNAL PROCESSOR

(57)Abstract:

PURPOSE: To measure more accurately an error rate as many bit numbers are used for a pattern A by obtaining a signal pattern D with the least error rate through majority decision processing, counting the dissident bit number of each pattern received repetitively and processing the signal pattern D when the value is smaller than a prescribed value.

CONSTITUTION: An output received by an information pattern reception means 2 and converted into parallel information is stored in a storage circuit 3, the content is read and majority decision is applied to each bit representing the same information by a majority decision circuit 4 to decide one pattern D finally. The result E of calculation by a dissident number addition circuit 5 is discriminated as to whether it is smaller than a prescribed value or not by a discriminating circuit 6. On the other hand, the pattern D decided by the majority decision circuit 4 is subjected to parity check by the circuit 7. When it is discriminated normal by the circuit 7 and processed by the discrimination circuit 6, then the pattern D is processed by a signal processing section 8. Since the error rate of each bit constituting the pattern D is small, the effect of error detection is improved.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-194933

⑬ Int.Cl.⁴

H 04 L 1/00
1/02
1/08

識別記号

庁内整理番号

B-6651-5K
7251-5K
6651-5K

⑬ 公開 昭和61年(1986)8月29日

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 受信信号処理装置

⑮ 特 願 昭60-34227

⑯ 出 願 昭60(1985)2月22日

⑰ 発 明 者 鹿 毛 豪 蔵 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 井ノ口 壽

明 細 書

1. 発明の名称

受信信号処理装置

2. 特許請求の範囲

(1) 情報パターンをM個繰り返して送出するに先行して付加されたスタートパターンを検出するスタートパターン検出回路と、前記スタートパターン検出回路によりスタートパターンが検出された時点に同期して前記M個の情報パターンを受信する情報パターン受信手段と、前記情報パターン受信手段で受信した前記M個の情報パターンを記憶する記憶回路と、前記記憶回路に格納された前記M個の情報パターンのうち同じ情報を表わす各ビットについて多数決を行ない、最終的に1つのパターンを決定する多数決回路と、前記多数決回路で決定したパターンと前記記憶回路に記憶したM個の情報パターンのそれぞれと不一致なビット数を求め、加算する不一致数加算回路と、前記不一致数加算回路に

よる加算結果が所定の値と比べて小さいときには前記多数決回路で決定したパターンは処理可能であると判断する判断回路と、前記判断回路により処理可能と判断されたとき前記多数決回路により決定されたパターンについて処理を行なう信号処理手段とから構成したことを特徴とする受信信号処理装置。

(2) 前記情報パターンはパリティビットを付加したものであり、前記信号処理手段は前記多数決回路で決定したパターンについてパリティチェックを行なうパリティチェック回路と、前記判断回路により処理可能と判断されたときであつて前記パリティチェック回路でのパリティチェックの結果が正常と判断されたとき、前記多数決回路により決定されたパターンを正常と判断して信号処理を行なう信号処理部とから構成したことを特徴とする特許請求の範囲第1項記載の受信信号処理装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は送信側より無線機によつて送られてくる同一情報の繰り返しデジタル信号を多数決により受信処理する受信信号処理装置に関する。

(従来の技術)

同一情報を繰り返し伝送し、受信側で多数決処理により誤り訂正を行なつて情報の信頼度を上げる手法は他の誤り訂正方式と比較して最も処理の簡単な方法であるので用いられている。この多数決決定方式は誤りをいかに検出するかが重要な課題となつている。

従来から行なわれている誤り検出の方法としては、同じパターンが繰り返されるか否かを判断して一致した場合に受信した信号を正しいと認めて処理する方法、別に信号の伝送品質を求める方法として受信信号の電界強度を求めておいて十分なレベルがあれば多数決処理する方法等がある。

(発明が解決しようとする問題点)

しかしながら、いずれの場合も次のような問題があり、必ずしも満足いくものではなかつた。

信号処理装置は情報パターンをM個繰り返し送出するに先行して付加されたスタートパターンを検出するスタートパターン検出回路と、前記スタートパターン検出回路によりスタートパターンが検出された時点で同期して前記M個の情報パターンを受信する情報パターン受信手段と、前記情報パターン受信手段で受信した前記M個の情報パターンを記憶する記憶回路と、前記記憶回路に格納された前記M個の情報パターンのうち同じ情報を表わす各ビットについて多数決を行ない、最終的に1つのパターンを決定する多数決回路と、前記多数決回路で決定したパターンと前記記憶回路に記憶したM個の情報パターンのそれぞれと不一致なビット数を求め、加算する不一致数加算回路と、前記不一致加算回路による加算結果が所定の値と比べて小さいときには前記多数決回路で決定したパターンは処理可能であると判断する判断回路と、前記判断回路により処理可能と判断されたとき前記多数決回路により決定されたパターンについて処

理する。まず、前者の方式では誤り率が非常に悪い場合、例えばビット誤り率が 10^{-2} 以上では1つの情報パターンが50~100ビットのようなとき、受信した信号を正しいと認める確率が急激に下がり、信号を検出しない確率、すなわち非検出率が大きくなる。

また、後者の方法では例えば干渉波があつたときは電界十分と判断してしまつたため、実際には信号に誤りがあるときにも誤り検出ができないこと、および温度等の環境条件の変化によつては電界情報の測定値と受信したデジタル信号のビット誤り率との対応が必ずしも一定している訳ではないのでずれが生じる等の欠点があり、満足のいく信号の劣化情報を得ることができなかった。

本発明の目的は誤り検出確率の非常に大きい、多数決原理による受信信号処理装置を提供することにある。

(問題点を解決するための手段)

前記目的を達成するために本発明による受信

理を行なう信号処理手段とから構成されている。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明による受信信号処理装置の実施例である。第2図は第1図の実施例を説明するための信号フォーマットを表わす図である。

図中、A部分が送信側であり、B部分が受信側である。送信側で作成された所定のデジタル信号は送信機13によつて伝送され、受信機17によつて受信される。送信側において、信号発生部10はKビットの情報パターン $A = a^1 a^2 \dots a^K$ を発生し、制御部16の制御の下に情報パターンAを繰り返しM個($M \geq 2$)送出する。14はスタートパターン発生部であり、制御部16の制御の下にRビットの固定したスタートパターン $ST = S^1 S^2 \dots S^R$ を情報パターンA A ... Aの前に出力する。信号発生部10およびスタートパターン発生部14の出力は合成回路11により合成され、スタートパターンSTが情報パターン

AA...Aの前に付加された情報信号列 X_{11} が出力される。

第2図(a)(b)にこの情報信号列 X_{11} のフォーマットを示す。

15は乱数 X_{15} を発生する乱数発生器であり、制御部16の制御の下にこの乱数 X_{15} と情報信号列 X_{11} が加算器12によつて加算される。そして、加算器12の出力が、送信機13より送信される。

なお、ここで、情報信号列 X_{11} に乱数を加えているのは次の理由による。すなわち X_{11} が同一パターンAの繰り返しであるため、周期的に低周波成分の変動が生じ、そのまま送信機13へ入力したのでは変調特性に悪影響を与えるからである。したがつて、乱数 X_{15} は X_{11} の繰り返しパターンAA...Aに対して加算される。

16は制御部であり、上述のように信号発生部10における信号の発生、スタートパターン発生部14におけるスタートパターンの発生、乱数発生器15における乱数の発生等の時間制御および

信側のスタートパターンSTおよびM個の情報パターンAA...Aは、伝送路の雑音によつて誤りが含まれるため、このように別のパターン $ST_1, A_1, A_2, \dots, A_M$ に変わっている。

ここではそれぞれ、

$$ST_1 = S_1^1 S_1^2 \dots S_1^N$$

$$A_m = a_m^1 a_m^2 \dots a_m^K \quad (m=1, 2, \dots, M)$$

と表わされている。

各パターンは、伝送路で誤まりが生じないならば、各ビットとも

$$S_1^1 S_1^2 \dots S_1^N = S^1 S^2 \dots S^N$$

$$a_m^1 a_m^2 \dots a_m^K = a^1 a^2 \dots a^K \quad (m=1, 2, \dots, M)$$

であるため、

$$ST_1 = ST$$

$$A_m = A \quad (m=1, 2, \dots, M)$$

が成立する。

情報パターン受信手段2で受信し、パラレル情報に変換された出力は記憶回路3に記憶される。記憶回路3の内容は、 A_1, A_2, \dots, A_M になる。この記憶回路3の内容は読出され多数決回路4

送信機13の送信制御を行なっている。

次に受信側の構成および動作について説明する。

受信機17により受信した信号 X_{17} について、検出回路1によりSTに対するスタートパターンが検出される。

スタートパターンの検出に同期して、以下送られてくる情報パターンの受信が情報パターン受信手段2において行なわれる。

情報パターン受信手段2は送信側の乱数 X_{15} と同じ乱数 X_{18} を発生する乱数発生器18、加算器19およびシリアルパラレル変換回路20からなり、受信機出力 X_{17} と乱数 X_{18} を加算することにより、送信側 X_{11} に相当する信号列を再生し、その後、変換回路20によりこの再生されたシリアル情報をパラレル情報へ変換しており、次段の処理を容易にしている。

ここで、加算器19より出力される再生情報 X_{19} について説明する。

第2図において(c)(d)は再生情報 X_{19} であり、送

によつて、 A_1, A_2, \dots, A_M の同じ情報を表わす各ビットについて、多数決が行なわれ、最終的に1つのパターン $D = d^1 d^2 \dots d^K$ が決定される。

例えば、 d^K は $a_1^K, a_2^K, \dots, a_M^K$ の多数決をとつた結果であり、 $a_1^K, a_2^K, \dots, a_M^K$ のうち1の数が0の数より多ければ $d^K = 1$ となる。

多数決により決定されたパターンD(第2図(f))の品質は次の不一致数加算回路5により測定される。

パターンDとパターン A_m の一致しないビット数を e_m ($m=1, 2, \dots, M$)とすると、不一致数加算回路5では、

$$E = e_1 + e_2 + \dots + e_M$$

の計算が行なわれる(第2図(e))。

これはEが大きい程伝送路で誤まりが多く発生しDの品質が悪いものであることを意味する。

不一致数加算回路5の計算結果Eについて、判断回路6により所定の値 ρ より小さいか否かを判断される。E < ρ であると判断されれば、Dは、

信号処理に適しているものとして、信号処理手段 9 による処理が可能となる。

一方、多数決回路 14 により決定されたパターン D はパリティチェック回路 7 によりチェックされる。これは、情報パターン A の中に予めパリティチェックビットを含ませ、受信側で、多数決をとつた結果 D に対してパリティチェックを行なうものである。

パリティチェック回路 7 で正常と判断され、かつ、判断回路 6 により処理可能であるとされたときは、信号処理部 8 においてパターン D の処理が行なわれる。

パターン D のパリティチェックは D を構成する各ビットの誤り率が小さくなっているため誤り検出の効果は非常に大きなものである。

(発明の効果)

以上、説明したように、本発明による装置は、多数決処理を行なつて最も誤り率の少ない信号パターン D を求めておき、繰り返して受信した各パターン A_1, A_2, \dots, A_M のそれぞれと不

一致なビット数をカウントし、その値が所定値より小さいとき信号パターン D の処理を可能としている。すなわち等価的に D を基準にして伝送路のビット誤り率を測定して D を処理するのである。この方式では、パターン A のビット数が多ければ多い程ビット誤り率が正確に測れるため、ビット数が多くなつたとき非検出率が增大する従来方式の欠点が軽減される効果がある。

第 1 図における回路 3 ~ 8 はマイクロコンピュータにそれぞれの機能 (ソフトウェア) を搭載したもので容易に作ることが可能である。また回路 1 および 2 も全てデジタル回路で実現できるので I/O 化が容易であり、小形化、経済化にも適している。

4. 図面の簡単な説明

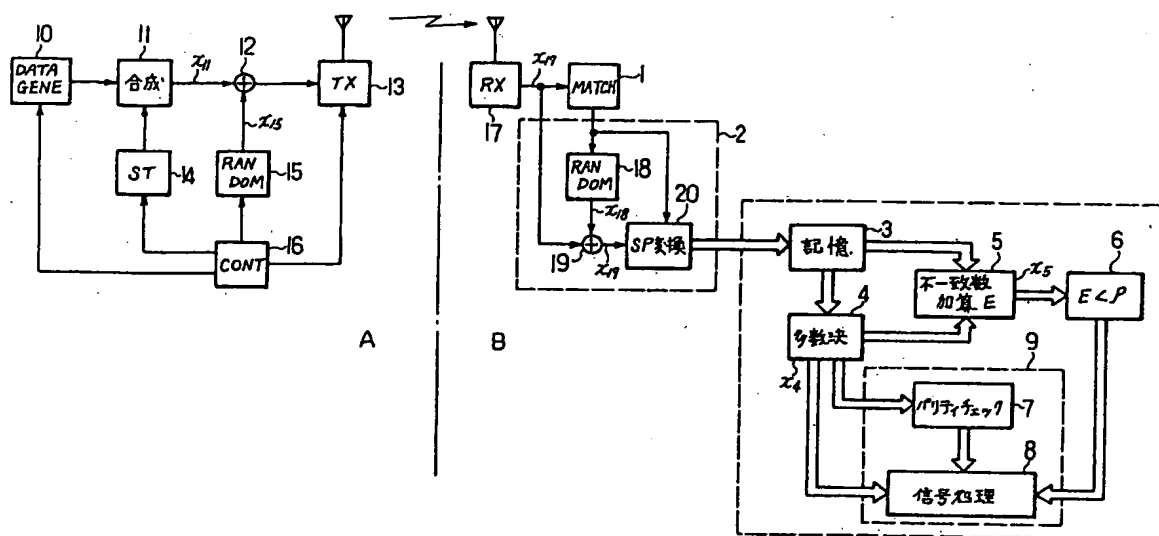
第 1 図は本発明による受信信号処理装置の一実施例を示すブロック図、第 2 図は第 1 図の各回路部における信号フォーマットを示す図である。

- 1 … スタートパターン検出回路
- 2 … 情報パターン受信手段
- 3 … 記憶回路 4 … 多数決回路
- 5 … 不一致数加算回路 6 … 判断回路
- 7 … パリティチェック回路
- 8 … 信号処理部 9 … 信号処理手段
- 10 … 信号発生部 11 … 合成回路
- 12 … 加算器 13 … 送信機
- 14 … スタートパターン発生部
- 15 … 乱数発生器 16 … 制御部
- 17 … 受信機 18 … 乱数発生器
- 19 … 加算器 20 … S/P 変換器

特許出願人 日本電気株式会社

代理人 弁理士 井 ノ 口 壽

才 | 図



才 2 図

